

[Embodiments]

This device is specifically described below referring to the drawings.

Figs. 1 through 7 relate to the first embodiment of the device. Fig. 1 is a sectional view showing the structure of a solid imaging device of the first embodiment. Fig. 2 is an explanatory illustration showing the fabrication process of a semiconductor chip. Fig. 3 is a plan view of the semiconductor chip. Fig. 4 is a bottom view of the semiconductor chip. Fig. 5 is a sectional view of a printed circuit board. Fig. 6 is a plan view of the printed circuit board. Fig. 7 is a bottom view of the printed circuit board.

An SID (Solid Imaging Device) 1 of the first embodiment shown in Fig. 1 comprises a semiconductor chip 4 (shown in Fig. 2E) equipped with an optoelectronic converter circuit 2 on its surface and a printed circuit pattern 3 on its rear surface, a printed circuit board 7 where a printed circuit 6 is formed on its surface which is electrically connected by way of said circuit pattern 3 of the semiconductor chip 4 and a bump 5, and a translucent resin for encapsulation 8 for encapsulating the periphery of said semiconductor chip 4 mounted on the printed circuit board 7.

The optoelectronic converter circuit 2 formed on the surface of said semiconductor chip 4 is conducting with a through hole 10 by way of a wiring material 9 and with the circuit pattern

3 on the rear surface via the through hole 10. The circuit pattern 3 is electrically connected to the printed circuit 6 on the surface of the printed circuit board 7 by way of the bump 5. The printed circuit 6 is conducting with the printed circuit 12 on the rear surface of the printed circuit board 7 via a through hole 11 of the printed circuit board 7. To the printed circuit 12 is fixed external leads 13. When a drive signal is applied to some of the external leads 12, an image signal obtained by optoelectronic conversion is output from the external leads 12 as an output end.

Said semiconductor chip 4 can be fabricated for example through a fabrication process shown in Fig. 2.

As shown in Fig. 2A, the circuit pattern 3 is formed on the rear surface of a single crystal silicon wafer 14 by way of the thick film technology. In this case, a thin film circuit pattern may be used instead of the thick film circuit pattern 3. A metal plate such as a gold or a copper plate may be bonded on the rear surface and the circuit pattern 3 may be formed by way of etching. A simple pattern instead of the circuit pattern 3 may be used, as long as the through hole 10 is connected to the bump 5.

Next, as shown in Fig. 2B, the optoelectronic converter circuit (imaging circuit) 2 is formed on the surface of the silicon wafer 14 by way of the thin film technology.

Next, as shown in Fig. 2C, etching is repeated on a surface

section corresponding to the circuit pattern 3 on the rear surface of said silicon wafer 14 to form the through hole 10 which penetrates the silicon wafer 14 from the surface to the rear surface. In this case, the circuit pattern 3 is made of a material resistant to the etching agent used in the etching of the silicon wafer 14. Thus, the circuit pattern 3 is exposed from the opening of the through hole 10. Etching is made easy when the through hole 10 is formed of an approximate taper as shown in the figure.

The location on the surface where etching is made corresponds to the location of a bonding pad for related art wirebonding process and is provided appropriately. The etching location is easy to provide because it is provided in the semiconductor process almost simultaneously with fabrication of said optoelectronic converter circuit 2.

Next, as shown in Fig. 2D, the optoelectronic converter circuit 2 and the circuit pattern 3 on the rear surface pattern 3 are electrically connected by way of aluminium interconnect by using the wiring material 13 on the surface and the wiring surface of the through hole 10. In this case, a tapered through hole 10 allows the aluminium interconnect to be easily inserted up to the innermost section of the through hole 10, thereby enhancing the reliability of connection.

While said aluminium interconnect is provided through aluminium evaporation, other evaporation methods may be used,

as long as the optoelectronic converter circuit 2 and the circuit pattern 3 on the rear surface are electrically connected.

Next, by performing scribing whereby the wafer is divided into a predetermined shape, the semiconductor chip 4 shown in Fig. 2E is fabricated.

Fig. 3 is a plan view of the semiconductor chip 4 shown in Fig. 2E seen from above its surface. Fig. 4 is a plan view of the semiconductor chip 4 shown in Fig. 2E seen from below its rear surface.

In Fig. 3, a wiring material 9 on the surface is not shown but dotted lines are used to show the shape of an opening of a through hole 10 on the surface. In Fig. 4, dotted lines are used to show the shape of an opening of a through hole 10 on the rear surface positioned in the center of a circuit pattern 3. In Fig. 4, one of the circuit patterns 3 is shown in a solid fill with ground although this is not mandatory.

Next, the printed circuit board 7 is described referring to Fig. 5.

The main board of a printed circuit board 7 is made of for example a general ceramic base 15. A printed circuit 6 is formed in the form of printed wiring on the surface of the ceramic base 15. The printed circuit 6 is conducting with a printed circuit 12 on the rear surface via the through hole 11. External leads 13 are brazed to the printed circuit 12.

On the printed circuit 6 on said surface is provided a

bump 5 via gold or solder. The bump 5 is provided on the printed circuit board 7, not on a semiconductor chip 4. As a result, the rear surface of the semiconductor chip 4 is made flat thus facilitating the fabrication of the semiconductor chip 4.

Said printed circuits 6, 12 may be formed by way of for example thick film printing.

Said printed circuit board 7 is as shown in Fig. 6 when seen from the surface and Fig. 7 when seen from the rear surface.

As shown in Fig. 6, by changing the pattern shape of the printed circuit 6, it is possible to change the order of the external leads 13 connected on the rear surface to the printed circuit 6 via the through hole 11. The location of the external leads 13 may be appropriately provided.

As a result, the freedom of the artwork of a printed circuit board connected to the SID 1 is enhanced thus downsizing the SID 1.

By making face bonding of a semiconductor chip 4 on the printed circuit board 7, that is, by connecting a bump 5 on the surface of the printed circuit board 7 and a circuit pattern 3 on the rear surface of the semiconductor chip 4 and encapsulating the connection with a translucent resin for encapsulation 8, the SID 1 having the structure shown in Fig. 1 is fabricated.

According to the first embodiment, it is possible to provide electrical connection with the rear surface of the

semiconductor chip 4 and the circuit pattern 3 on the rear surface is face-bonded with the bump 5 to provide electrical connection with the printed circuit 6 on the printed circuit board 7. The printed circuit 6 is electrically connected to the external leads 13 fixed to the printed circuit 12 on the rear surface via the through hole 11. This configuration can downsize the SID 1.

In case a through hole 10 is provided, when the circuit pattern 3 is absent on the rear surface, it is necessary to turn over a silicon wafer 14 where the optoelectronic converter circuit 2 is provided and to provide the circuit pattern 3 thereon. This causes the optoelectronic converter circuit 2 to be easily flawed, although this is prevented by providing a circuit pattern 3 before providing the optoelectronic converter circuit 2 in the first embodiment.

The line width of the circuit pattern 3 may be much broader than that of the optoelectronic converter circuit 2. Thus, even in case the silicon wafer 14 is turned over after the circuit pattern 3 is provided, the through hole 10 and the circuit pattern are not dislocated from each other in practice.

In the stages after Fig. 2B, the same fabrication process and technology as those used to fabricate general semiconductors may be employed to provide a semiconductor chip 4, except in that time required for etching is longer in making the through hole 10.

As shown in Fig. 2D, in case aluminium evaporation is made, the through hole 10 is preferably made larger or tapered so that aluminium will be attached better. Even in that case, the circuit design may be reduced compared with the wire bonding design.

A thinner silicon wafer facilitates making of the through hole 10 and provision of the wiring material 9.

Fig. 8 shows an SID 21 of the second embodiment of the device. In the second embodiment, a color filter 23 is fixed to the surface of a semiconductor chip 4' via a translucent adhesive 22. While in a wire bonding structure, a sufficiently wide space between the optoelectronic converter circuit 2 and a bonding band is required to allow bonding of the color filter 23, this is not the case with the second embodiment. The optoelectronic converter circuit 2 is electrically connected with a circuit pattern 3 on the rear surface via a wiring material 9. The height of the wiring material 9 may be neglected and the color filter may be glued to cover the wiring material 9. This it is possible to reduce the color filter 23 in height (thickness) and in area.

In this embodiment, the through hole 10' of the semiconductor chip 4' is not tapered.

In this embodiment, external leads 13 are fixed to the surface of the main board of a printed circuit board 24. On the external leads 13 is provided a bump 5. The bump 5 is then

connected to the circuit pattern 3 on the rear surface of the semiconductor chip 4' via face bonding and a lightproof resin 25 is used for encapsulation.

Encapsulation using the lightproof resin 25 is made after bonding of the color filter 12 to the semiconductor chip 4' with the translucent adhesive 22.

The through hole 10 may be the tapered through hole 10.

The second embodiment has the same advantage as the first embodiment and simplifies the fabrication of the printed circuit board 24.

Fig. 9 shows an SID 31 of the third embodiment of the device. In the third embodiment, similar to the second embodiment, the color filter 23 is fixed to the surface of the semiconductor chip 4' via the translucent resin for encapsulation 22.

The SID 31 having the structure shown in Fig. 9 can be fabricated by making face (down) bonding of the rear surface of said semiconductor chip 4' on the lead frame where a bump 5 is formed, making molding with the lightproof resin for encapsulation 25, breaking the external leads 13 of the lead frame to provide separate external leads 13, and bending the external leads 13. The external leads may be projected laterally instead.

The third embodiment has the same advantage as the first embodiment. This embodiment does not require a printed circuit

board thus reducing the fabrication costs.

While the input/output terminals have external leads 13 in the foregoing embodiments, leadless input/output terminals may be also used.

Other package structure may be used and other assembling procedures may be used.

For example, in the first embodiment, the opening of the tapered through hole on the rear surface may be the larger opening. In this case, an opening may be provided in the circuit pattern 3.

For example, in the first embodiment, only the through hole in the optoelectronic converter circuit 2 may be formed and the wafer may be divided on the straight line connecting the center of each through holes 10, without the through hole 10 completely filled with a wiring material as shown in Fig. 2D, after the through hole 10 shown in Fig. 2C. This reduces the size of the printed circuit board. In this case, the wiring material 9 is preferably formed not exceeding the line of division. The circuit pattern 3 on the rear surface is also preferably formed not exceeding the line of division. This is to prevent possible peeling of part of the wiring material 9 or circuit pattern 3 after the division.

A gallium arsenide (GaAs) wafer may be used instead of a silicon wafer.

Alens may be integrated onto the optoelectronic converter

circuit 2.

[Advantage of the device]

As mentioned hereabove, a semiconductor chip equipped with an optoelectronic converter circuit on its surface and a printed circuit pattern on its rear surface is bonded on a printed circuit member such as a printed circuit board equipped with a bump on its surface. This makes it possible to provide a smaller solid imaging device than one employing the wire bonding approach.

(19) 日本国特許庁 (J P)

(12) 実用新案公報 (Y 2)

(11) 実用新案出願公告番号

実公平8-5566

(24) (44) 公告日 平成8年(1996)2月14日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/14

H 0 1 L 27/ 14

D

請求項の数 1 (全 5 頁)

(21) 出願番号 実願平1-82588
(22) 出願日 平成1年(1989)7月12日
(65) 公開番号 実開平3-21859
(43) 公開日 平成3年(1991)3月5日

(71) 出願人 999999999
オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(72) 考案者 矢部 久雄
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内
(74) 代理人 弁理士 伊藤 進

審査官 河本 充雄

(56) 参考文献 特開 昭63-318158 (J P, A)
特開 昭62-291129 (J P, A)

(54) 【考案の名称】 固体撮像装置

1

【実用新案登録請求の範囲】

【請求項1】 表面に光電変換回路手段が設けられ、裏面に側壁から離間して実装用手段が設けられた半導体基板と、

前記光電変換回路手段と前記半導体基板の側壁との間に前記側壁から離間して設けられ、前記光電変換回路手段と前記実装用手段を厚み方向に接続する接続手段と、表面に半導体実装面、裏面又は側面側に入出力端子を備えた実装手段と、

からなり、前記実装手段の前記半導体実装面に、前記半導体基板の前記実装手段をフェイスボンディングして実装したことを特徴とする固体撮像装置。

【考案の詳細な説明】

[産業上の利用分野]

本考案は光電変換回路を設けた半導体チップを実装部

2

材にフェイスボンディングした固体撮像装置に関する。

[従来技術]

近年、電荷結合素子（以下、CCDと略記）等の固体撮像素子（又は装置）（以下、SIDと略記）が各種の撮像手段に広く用いられるようになった。

例えば実開昭63-49512号では、内視鏡の先端部にSIDを収納して撮像手段を構成している。この場合、入射光は、SIDの前面（表面）側に入射され撮像面に結像される。このSIDにより画像信号に変換され、裏面又は側面に設けた入出力端子から出力する。

この従来例のように、SIDを内視鏡先端部に組み込む場合、内視鏡先端部を細くするためには、光軸と直交方向のSIDの断面形状を最小限にする必要がある。

上記内視鏡先端部等に組み込まれるSIDの従来例として、例えば実開昭64-21580のように、セラミック基板

とかリードフレーム等の実装基板に半導体チップをダイボンディングし、半導体チップの表面に設けたボンディングパッドと実装基板とをワイヤボンディングにより電気的な接続を行うようにしていた。

〔考案が解決しようとする問題点〕

実開昭64-21580のような構造のSIDでは、ワイヤボンディングで電気的な接続を行うためにボンディングパッドの周囲に実装基板を延出させる構造になるため、少くともワイヤボンディングのためのワイヤの長さ分がSIDの面積形状を大きくしてしまう欠点があった。

このためこのSIDが組み込まれる内視鏡先端部も太くになってしまう。

本考案は上述した点にかんがみてなされたもので、内視鏡先端部等を太くすることなく撮像手段を小型化することのできる固体撮像装置を提供することを目的とする。

〔問題点を解決する手段及び作用〕

本考案では表面に光電変換回路を設け、裏面に回路パターンを設けた半導体チップを、表面にパンプを設けた基板等の実装部材にフェイスボンディングして実装することにより、ワイヤボンディングを必要としないで半導体チップを実装可能にして、小型化できるようにしている。

〔実施例〕

以下、図面を参照して本考案を具体的に説明する。

第1図ないし第7図は本考案の第1実施例に係り、第1図は第1実施例の固体撮像装置の構造を示す断面図、第2図は半導体チップの製造プロセスを示す説明図、第3図は半導体チップの平面図、第4図は半導体チップの底面図、第5図は実装基板の断面図、第6図は実装基板の平面図、第7図は実装基板の底面図である。

第1図に示す第1実施例のSID（固体撮像装置）1は、表面に光電変換回路2が設けられ、裏面に実装用の回路パターン3が設けられた半導体チップ4（第2図（e）に示す。）と、この半導体チップ4の前記回路パターン3とパンプ5によって、電気的に接続する印刷回路6を表面に形成した実装基板7と、この実装基板7に実装された前記半導体チップ4の周囲を封止する透明性封止樹脂8とから構成される。

上記半導体チップ4は、その表面に形成した光電変換回路2は、配線材9によりスルーホール10と導通し、このスルーホール10を介して裏面の回路パターン3と導通している。この回路パターン3は、パンプ5により実装基板7の表面の印刷回路6と電気的に接続されている。この印刷回路6は、実装基板7のスルーホール11を介してその裏面の印刷回路12と導通している。この印刷回路12には外部リード13が固着され、該外部リード13の数本にドライブ信号を印加することにより、出力端となる外部リード13から光電変換した画像信号を出力できるようにしている。

ところで、上記半導体チップ4は、例えば第2図に示すような製造工程によって製造できる。

第2図（a）に示すように単結晶のシリコンウェハ14の裏面に厚膜技術によって、回路パターン3を形成する。この場合、厚膜の回路パターン3でなくても薄膜のものであっても良い。又、金とか銅等の金属板を裏面に貼り付け、エッチングによって回路パターン3を形成しても良い。又、回路パターン3と表現しているが、単なるパターンでも良い。要は、スルーホール10及びパンプ5とを接続できれば良い。

次に第2図（b）に示すように、シリコンウェハ14の表面に薄膜技術によりCCD等の光電変換回路（撮像回路）2を形成する。

次に第2図（c）に示すように上記シリコンウェハ14における裏面の回路パターン3に対応する表面部分をエッチングをくり返して、表面から裏面に貫通するスルーホール10を形成する。この場合、回路パターン3はシリコンウェハ14のエッチング処理の際そのエッチング剤に侵されない材質にしておく。従って、スルーホール10の裏面側開口に回路パターン3が露出している状態になる。尚、図示のようにスルーホール10を概略テーパー状にすると、エッチングし易い。

このエッチングを行う表面側の位置は、従来のワイヤボンディング用のボンディングパッドの位置に相当するものであり、適切な位置に設ける。上記光電変換回路2を作るのと前後して、半導体プロセスで作ることができるので作り易い。

次に第2図（d）に示すようにAl配線等で表面側の配線材9及びスルーホール10の配線材により、光電変換回路2と裏面の回路パターン3とを電気的に接続する。この場合、スルーホール10をテーパー状にしておくと、このスルーホール10の奥の方までAlを入り易くでき、接続の信頼性を高くできる。

上記Al配線は、Al蒸着で行うことができるが、この蒸着法に限定されるものでない。要するに、スルーホール10を経て光電変換回路2と裏面側の回路パターン3とを電気的に接続すれば良い。

次に所定形状にカットするスクライブを行うことにより、第2図（e）に示す半導体チップ4を製造できる。

第2図（e）の半導体チップ4を表面上方から見ると、第3図のようになり、また裏面下方から見ると第4図のようになる。

尚、第3図では表面側の配線材9部分を示さないで、点線によりスルーホール10の表面側開口の形状を示している。又、第4図では点線によって回路パターン3の中央部分に位置するスルーホール10の裏面側開口の形状を示している。又、第4図では光電変換回路2に基準電位を与えるために回路パターン3の一つのパターンをベタアースにしている（ベタアースにしなくとも良い。）

次に第5図を参照して実装基板7について説明する。

この実装基板 7 は、例えば普通のセラミックベース 15 でその基板本体が作られている。このセラミックベース 15 の表面に印刷回路 6 が印刷配線で形成され、この印刷回路 6 はスルーホール 11 を介して裏面側の印刷回路 12 と導通させてある。この印刷回路 12 には外部リード 13 がろう付けして固着してある。

上記表面の印刷回路 6 には金とか半田等により、バンプ 5 が設けてある。このバンプ 5 を半導体チップ 4 でなく、実装基板 7 側に設けたので半導体チップ 4 の裏面をフラットにでき、この半導体チップ 4 の製造が容易になる。

尚、上記印刷回路 6, 12 は例えば厚膜印刷で形成できる。

上記実装基板 7 は表面側から見ると第 6 図のようになり、裏面側から見ると第 7 図のようになる。

第 6 図に示すように、印刷回路 6 のパターン形状を変えることにより、該印刷回路 6 とスルーホール 11 を介して、裏面側で接続される外部リード 13 との順番を入れ換えたりすることもできる。勿論、外部リード 13 側の位置も適切な位置に設けることができる。

従って、この SID1 に接続する回路基板のネットワークの自由度が増し、SID1 を小型化することができるようになる。

この実装基板 7 に半導体チップ 4 をフェイスボンディング、つまり実装基板 7 の表面のバンプ 5 と、半導体チップ 4 の裏面の回路パターン 3 を接続し、透明性封止樹脂 8 で封止することにより、第 1 図に示す構造の SID1 が組み上がることになる。

この第 1 実施例によれば、ボンディングワイヤを用いることなく、半導体チップ 4 の裏面側と電氣的に接続でき、且つ裏面側の回路パターン 3 をバンプ 5 とフェイスボンディングして実装基板 7 の印刷回路 6 と電氣的に接続し、該印刷回路 6 はスルーホール 11 を介して裏面側の印刷回路 12 に固着した外部リード 13 と電氣的に接続する構造にしてあるので、この SID1 を小型化できる。

スルーホール 10 を設ける場合、裏面側に回路パターン 3 がないと、光電変換回路 2 を設けたシリコンウェハ 14 をひっくり返して、この回路パターン 3 を設けなければならなくなり、この際光電変換回路 2 に傷がつき易くなるが、この第 1 実施例では光電変換回路 2 を設ける前に予め回路パターン 3 を設けるようにしているので、それを防止できる。

この回路パターン 3 のパターン幅は、光電変換回路 2 のパターン幅に比べて、はるかにラフで良いので、回路パターン 3 を設けてから、シリコンウェハ 14 をひっくり返しても實際上スルーホール 10 と回路パターン 3 がずれてしまうことは生じない。

又、第 2 図 (b) 以降は通常の半導体をつくるのと殆ど同じ製造工程と技術を用いて半導体チップ 4 を製造できる。但し、スルーホール 10 を作る場合、長時間エッ

チングを行う点異なる。

又、第 2 図 (d) に示すように A1 蒸着を行う場合、A1 が良く付くようにスルーホール 10 を比較的大きくしたり、テーパ状にすると良い。それでもワイヤボンディングする構造にすれば、はるかに小型化できる。

又、シリコンウェハ 14 は薄い程良く、スルーホール 10 とか配線材 9 を設けるのが容易になる。

第 8 図は本考案の第 2 実施例の SID21 を示す。この第 2 実施例では半導体チップ 4' の表面に透光性接着剤 22 を介してカラーフィルタ 23 を固着してある。ワイヤボンディング方式の構造では光電変換回路 2 とボンディングパッドの間を広くとらないと、カラーフィルタ 23 の接着ができなくなるのに対し、この第 2 実施例ではその必要性がない。つまり光電変換回路 2 は配線材 9 により裏面側の回路パターン 3 と電氣的に接続され、且つこの配線材 9 の高さは無視でき、この配線材 9 を覆うようにカラーフィルタ 23 を接着固定できる。従って、カラーフィルタ 23 を高さ（厚さ）方向及び面積共に小型化できる。

この実施例では半導体チップ 4' のスルーホール 10' はテーパ状でない形状にしている。

又、この実施例では、実装基板 24 は基板本体の表面側に外部リード 13 を固定し、この外部リード 13 上にバンプ 5 を設けている。しかして、このバンプ 5 を半導体チップ 4' の裏面の回路パターン 3 とフェイスボンディングで接続し、遮光性封止樹脂 25 で封止している。

尚、この封止樹脂 25 による封止は、半導体チップ 4' に透光性接着剤 22 でカラーフィルタ 23 を接着後に行う。

尚、スルーホール 10' はテーパ状のスルーホール 10 でも良い。

この第 2 実施例は上記第 1 実施例と同様の効果を有すると共に、実装基板 24 の製造がより簡単にできる。

第 9 図は本考案の第 3 実施例の SID31 を示す。この実施例は、第 2 実施例のように半導体チップ 4' に透光性封止樹脂 22 でカラーフィルタ 23 を接着している。

一方、リードフレームにバンプ 5 を形成したものに対し、上記半導体チップ 4' の裏面をフェイス（ダウン）ボンディングし、遮光性封止樹脂 25 でモールドイングし、その後リードフレームの外部リード 13 部を切断してそれぞれが分離された外部リード 13 にし、折り曲げることにより第 9 図に示す構造の SID31 を製造できる。折り曲げないで側方に突出させても良い。

この第 3 実施例は、第 1 実施例と同様の作用効果を有すると共に、実装基板を必要としないため、より低コスト化できる。

尚、上述の各実施例ではリード付きの外部リード 13 を有する構造にしてあるが、リードレスの入出力端子にしても良い。

又、この他のパッケージ構造にすることもできるし、異なる組立手順にすることもできる。

尚、例えば第 1 実施例において、テーパ形状のスルー

7

ホール10を裏面側の開口が大きくなるような構造にすることもできる。この場合には、例えば回路パターン3に開口を有する形状にすれば良い。

又、例えば第1実施例において、第2図(c)に示すようなスルーホール10を設けた後、第2図(d)に示すようにスルーホール10を配線材で完全に充填するのではなく、光電変換回路2側の部分のみ形成し、各スルーホール10の中央部分を結ぶ直線状にカットしても良い。このようにするとよりサイズを小型化できる。尚、この場合、表面の配線材9をこのカットする部分より外にでない様に形成する方が望ましい。又、裏面の回路パターン3もカットする面より外に出ないように形成した方が望ましい(カットした際、配線材9とか回路パターン3の一部等が剥離することを防止するため)。

尚、シリコンウェハの代りにガリウムヒ素ウェハを用いたものでも良い。

又、光電変換回路2の上に、レンズを一体化した構造にしても良い。

[考案の効果]

以上述べたように本考案によれば、表面に光電変換回

8

路を設け、裏面に回路パターンを設けた半導体チップを表面に bumps を設けた実装基板等の実装部材にフェイスボンディングして実装した構造にしてあるので、ワイヤボンディングするよりも小型の固体撮像装置を実現できる。

【図面の簡単な説明】

第1図ないし第7図は本考案の第1実施例に係り、第1図は第1実施例の固体撮像装置の構造を示す断面図、第2図は半導体チップの製造プロセスを示す説明図、第3図は半導体チップの平面図、第4図は半導体チップの底面図、第5図は実装基板の断面図、第6図は実装基板の平面図、第7図は実装基板の底面図、第8図は本考案の第2実施例の構造を示す断面図、第9図は本考案の第3実施例の構造を示す断面図である。

1……固体撮像装置、2……光電変換回路

3……回路パターン、4……半導体チップ

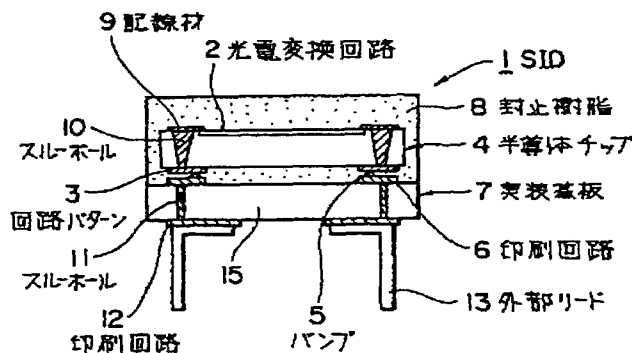
5…… bumps 、6, 12……印刷回路

7……実装基板

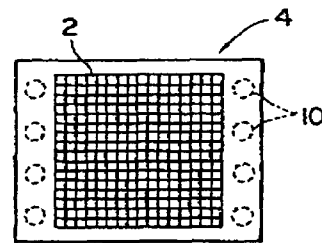
10, 11……スルーホール

13……外部リード

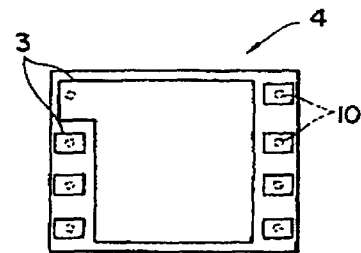
【第1図】



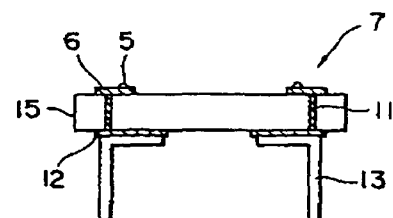
【第3図】



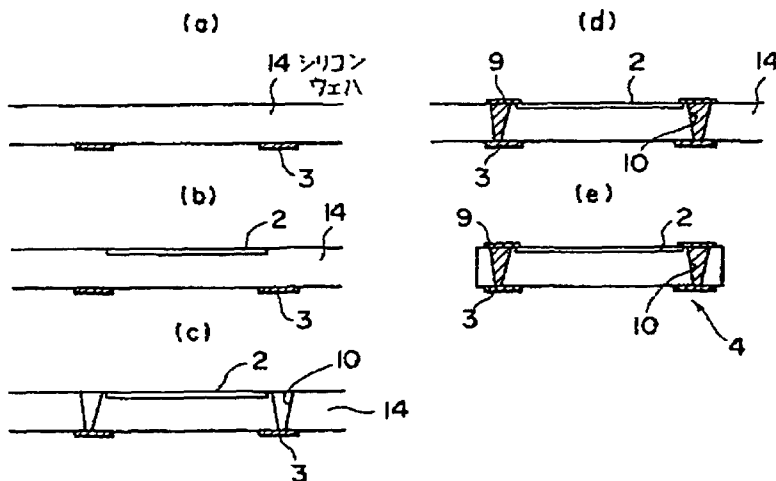
【第4図】



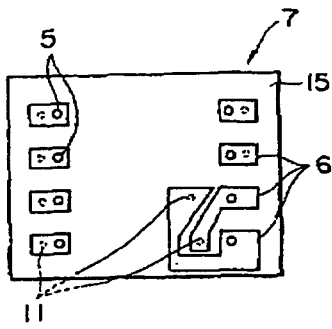
【第5図】



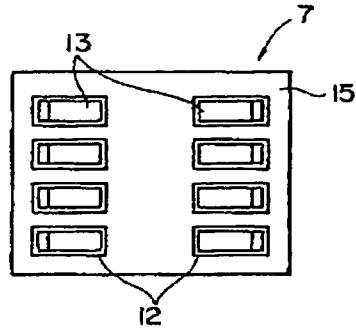
【第2図】



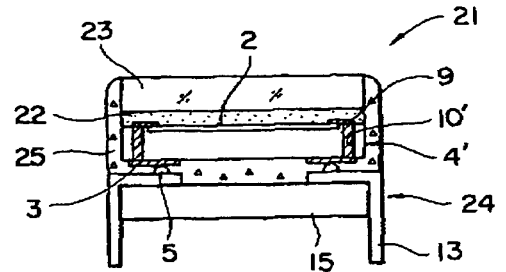
【第6図】



【第7図】



【第8図】



【第9図】

